



勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-54151736
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

FPGA/CPLD 數位晶片設計入門—使用 Xilinx ISE 發展系統(附程式範例光碟片)

作(譯)者：鄭群星

出版者：全華科技圖書公司

出版日：2005/3/9

ISBN：9572148567

書商書號：05699007

膠裝 560 頁 20 K

■ 本書特色

1. 本書可使讀者瞭解如何使用(1)繪圖的方式(2)VHDL 硬體描述語言(3)Verilog 硬體描述語言的方式設計 FPGA/CPLD 數位晶片。
2. 以範例實作的方式，逐步介紹 FPGA/CPLD 數位晶片的設計方式。
3. 使讀者學會應用 FPGA/CPLD 的設計方式於(1)專題製作(2)論文演算法之驗證(3)其他有關數位系統之設計。

■ 內容簡介

本書可使讀者瞭解如何使用(1)繪圖的方式(2)VHDL 硬體描述語言(3)Verilog 硬體描述語言的方式設計 FPGA/CPLD 數位晶片。並以範例實作的方式，逐步介紹 FPGA/CPLD 數位晶片的設計方式。使讀者學會應用 FPGA/CPLD 的設計方式於(1)專題製作(2)論文演算法之驗證(3)其他有關數位系統之設計。本書共有十二章，包括數位積體電路之設計發展過程、XilinxISE 發展系統之安裝及簡易操作、基本邏輯閘實驗、階層式電路的設計、

計數器的設計、VHDL 硬體描述語言設計方法、VHDL 硬體描述語言之描述規則、VHDL 設計實例介紹、Verilog 硬體描述語言設計方法、Verilog 邏輯閘層次設計實例介紹、Verilog 資料流層次設計實例介紹及 Verilog 行為層次設計實例介紹。適用於私立大學、科大電子、電機、資工系『FPGA 系統設計實務』、『FPGA 設計』課程。

■ 目錄

第 1 章 數位積體電路之設計發展過程 1-1

- 1-1 數位電路設計之發展過程 1-2
- 1-2 超大型積體電路的分類 1-2
- 1-3 PLD 簡介 1-6
 - 1-3-1 PLD 之基本架構 1-6
 - 1-3-2 PLD 基本架構的種類 1-7
- 1-4 CPLD 與 FPGA 的差異 1-11
 - 1-4-1 CPLD 與 FPGA 架構上的差異 1-11
 - 1-4-2 CPLD 與 FPGA 使用的差異 1-14
 - 1-4-3 CPLD 與 FPGA 的應用領域 1-14
- 1-5 XilinxSpartan2EFPGA 之基本架構 1-15
- 1-6 XilinxFPGA 編號的代表意義 1-21
- 1-7 FPGA 的未來發展遠景 1-22
- 1-8 FPGA/CPLD 的設計流程 1-22
- 1-9 XilinxISE 發展系統簡介 1-26
- 1-10 使用 XilinxISE 發展系統設計 FPGA 與 CPLD 晶片操作的差異 1-28
- 1-11 ModelSim 模擬軟體之簡介 1-29

第 2 章 XilinxISE 發展系統之安裝及簡易操作 2-1

- 2-1 如何下載及安裝 XilinxISEWebPACK 軟體 2-2
- 2-2 如何下載及安裝 ModelSimXE 模擬器 2-16
- 2-3 XilinxISEWebPACK 之操作步驟 2-29
 - 2-3-1 如何進入 ProjectNavigator 視窗 2-29
 - 2-3-2 ProjectNavigator 視窗之功能 2-30
 - 2-3-3 如何建立新的專案 2-32
 - 2-3-4 如何以繪圖方式設計電路 2-37
 - 2-3-5 如何啓一個舊的 Project 專案 2-68
- 2-4 為希公司 MB-EVL-XC2S50E-V10FPGA 驗證板之介紹 69

第3章 基本邏輯閘實驗 3-1

3-1 反閘、或閘、及閘之介紹 3-2

3-1-1 反閘之電路符號，布林代數表示式及其真值表 3-2

3-1-2 或閘之電路符號，布林代數表示式及真值表 3-2

3-1-3 及閘之電路符號，布林代數表示式及其真值表 3-3

3-2 OR、AND、NOT 邏輯閘之實驗 3-3

3-2-1 繪圖輸入的設計 3-3

3-2-2 FunctionSimulation 的執行 3-17

3-2-3 ImplementationConstraintsFile 的執行 3-22

3-2-4 ImplementationDesign 的執行 3-28

3-2-5 TimingSimulation 3-30

3-2-6 Configuration 的執行 3-30

3-3 編碼器與解多工器之實驗 3-37

3-3-1 十進位對二進位編碼器 3-37

3-3-2 ModelSim 模擬器之簡易操作 3-42

3-3-3 如何將編碼器設計成一元件模組使用 3-47

3-3-4 十進位對二進位編碼器元件模組之模擬及下載 3-50

3-3-5 如何將建立的元件模組在別的專案中使用 3-58

3-3-6 一對四解多工器 3-61

3-4 解碼器與多工器 3-74

3-4-1 二對四解碼器 3-74

3-4-2 四對一多工器 3-85

3-4-3 BCD 解碼器 3-92

3-5 七段顯示器解碼器電路之設計 3-103

3-5-1 七段顯示器之基本架構 3-103

3-5-2 七段顯示器解碼電路之設計方法 3-105

第4章 階層式電路的設計 4-1

4-1 壹位元半加器之設計 4-2

4-2 壹位元全加器之設計 4-4

4-3 二位元全加器之設計 4-11

第5章 計數器的設計 5-1

5-1 四位元非同步上數計數之設計 5-2

5-2 不同頻率時鐘脈波產生器之設計 5-6

5-3 具有七段顯示器之四位元非同步上數計數器之設計 5-10

第6章 VHDL 硬體描述語言設計方法 6-1

6-1 如何使用 VHDL 硬體描述語言的方式設計電路 6-2

6-1-1 使用 ISETextEditor 編輯 VHDL 硬體描述語言設計電路的方法 6-3

6-1-2 使用 ISE 語言樣板設計 VHDL 硬體描述語言的方法 6-33

- 6-2 VHDL 硬體描述語言的基本架構組成 6-46
 - 6-2-1 Library 宣告的格式 6-48
 - 6-2-2 Use 宣告的格式 6-48
 - 6-2-3 Entity 電路單體描述的格式 6-49
 - 6-2-4 Architecture 架構描述的格式 6-50
 - 6-2-5 Structure 宣告所使用之格式及範例 6-50
 - 6-2-6 Dataflow 描述之格式及範例 6-60
 - 6-2-7 Behavioral 行為描述之格式及範例 6-65
 - 6-2-8 組成宣告描述之格式及範例 6-68
- 第 7 章 VHDL 硬體描述語言之描述規則 7-1
 - 7-1 VHDL 硬體描述語言指令的命名規則 7-2
 - 7-2 VHDL 敘述的描述形式 7-3
 - 7-3 VHDL 的常用描述指令 7-9
 - 7-4 VHDL 中所使用的運算子 7-57
 - 7-5 VHDL 的保留字 7-59
- 第 8 章 VHDL 設計實例介紹 8-1
 - 8-1 三對八解碼器的設計 8-2
 - 8-2 七段顯示器解碼電路之設計 8-5
 - 8-3 上下數計數器之設計 8-8
 - 8-4 BCD 上下數計數器 8-15
 - 8-5 以 VHDL 設計除頻電路 8-18
 - 8-6 跑馬燈之設計 8-20
 - 8-7 9999BCD 上下計數器之設計 8-23
- 第 9 章 Verilog 硬體描述語言設計方法 9-1
 - 9-1 Verilog 硬體描述語言的基本架構 9-2
 - 9-2 Verilog 模組描述的基本格式 9-3
 - 9-3 Verilog 硬體描述語言的描述格式 9-11
 - 9-4 Verilog 的資料型態 9-16
 - 9-5 Verilog 的事件基礎時間控制 9-23
 - 9-6 Verilog 的輸入輸出埠描述 9-25
 - 9-7 Verilog 的系統關鍵字描述 9-26
 - 9-8 Verilog 系統的暫停及完成模擬敘述 9-27
 - 9-9 Verilog 的監視顯示描述 9-29
 - 9-10 Verilog 的系統保留字 9-32
- 第 10 章 Verilog 邏輯閘層次設計實例介紹 10-1
 - 10-1 邏輯閘層次所提供的邏輯模型 10-2
 - 10-2 邏輯閘的延遲時間 10-5
 - 10-3 壹位元半加器設計的實例介紹 10-7

10-4 壹位元全加器的設計實例介紹 10-11

第 11 章 Verilog 資料流層次設計實例介紹 11-1

11-1 資料流層次設計的相關描述 11-2

11-2 以四對一多工器之設計為例 11-5

11-3 二對四解碼器之設計 11-8

11-4 除法器之設計 11-11

11-5 四位元全加器的設計實例 11-13

第 12 章 Verilog 行為層次設計實例介紹 12-1

12-1 行為層次描述的基本結構組成 12-2

12-2 行為層次的程序指定描述 12-5

12-3 行為層次的時間控制 12-8

12-4 行為層次常用的敘述 12-10

12-5 行為層次設計的實例介紹 12-40