



勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-54151736
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

系統晶片設計—使用 quartus II (附系統範例光碟片)

作(譯)者：廖裕評、陸瑞強

出版者：全華科技圖書公司

出版日：2005/3/15

ISBN：9572144871

書商書號：05727007

線膠 992 頁 16 K

■ 本書特色

- 1.以區塊/繪圖法，VerilogHDL 與 VHDL 分別設計組合邏輯與循序邏輯電路。
- 2.搭配 NiosDevelopmentBoard 與 AlteraMAX II 實驗板進行程式燒錄測試。
- 3.此書詳細說明 Quartus II 軟體操作方法與電路設計方式。
- 4.透過範例與專案之製作，建立讀者實際電路應用之能力。
- 5.本書附光碟片有 Quartus II 系統與書範例。

■ 內容簡介

本書以區塊/繪圖法，VerilogHDL 與 VHDL 分別設計組合邏輯與循序邏輯電路，並以軟體模擬驗證之，搭配 NiosDevelopmentBoard 與 AlteraMAX II 實驗板進行程式燒錄測試。此書詳細說明 Quartus II 軟體操作'方法與電路設計方式，透過範例與專案之製作，建立讀者實際電路應用之能力。本書適合私立大學、科大電子、資工、電機系「系統晶片設計」課程使用。

勝特力材料 886-3-5753170
勝特力电子(上海) 86-21-54151736
勝特力电子(深圳) 86-755-83298787
[Http://www.100y.com.tw](http://www.100y.com.tw)

■ 目錄

第 1 章 軟體安裝與設定

1-1 軟體安裝 1-2

1-2 取得授權檔 1-15

1-3 隨書光碟內容 1-23

第 2 章 Quartus II 簡介

2-1 專案設計 2-4

2-1-1 建立專案 2-5

2-1-2 新增專案與新增設計檔 2-7

2-1-3 新增專案與加入舊檔案 2-24

2-2 建立設計 2-34

2-2-1 使用 Quartus II Block Editor 2-35

2-2-2 使用 Verilog HDL、VHDL 與 AHDL 2-40

2-3 使用 Altera megafunction 2-72

2-4 使用 MegaWizard Plug-In Manager 2-75

2-5 指定初始設計限制 2-75

2-6 合成 2-77

2-7 模擬 2-80

2-8 佈線與佈局 2-93

2-9 編程與配置 2-96

2-10 SOPC 系統級設計 2-99

第 3 章 組合邏輯電路設計範例

3-1 邏輯運算 3-2

3-1-1 以圖形編輯區塊內容 3-15

3-1-2 以 Verilog HDL 編輯區塊內容 3-18

3-1-3 以 VHDL 編輯區塊內容 3-22

3-1-4 邏輯運算模擬驗證 3-26

3-2 四對一多工器 3-34

3-2-1 圖形編輯四對一多工器 3-35

3-2-2 Verilog HDL 編輯四對一多工器 3-42

3-2-3 VHDL 編輯四對一多工器 3-47

3-2-4 四對一多工器模擬驗證 3-52

3-3 1 對 4 解多工器設計 3-58

3-3-1 電路圖編輯 1 對 4 解多工器 3-59

3-3-2 Verilog HDL 編輯一對四解多工器 3-63

- 3-3-3 VHDL 編輯一對四解多工器 3-70
- 3-3-4 1 對 4 解多工器模擬驗證 3-77
- 3-4 2 對 4 解碼器 3-80
- 3-4-1 電路圖編輯 2 對 4 解碼器 3-81
- 3-4-2 Verilog HDL 編輯 2 對 4 解碼器 3-87
- 3-4-3 VHDL 編輯 2 對 4 解碼器 3-90
- 3-4-4 2 對 4 解碼器模擬驗證 3-93
- 3-5 全加器 3-96
- 3-5-1 電路圖編輯全加器 3-97
- 3-5-2 Verilog HDL 編輯全加器 3-101
- 3-5-3 VHDL 編輯全加器 3-106
- 3-5-4 全加器模擬驗證 3-112
- 3-6 四位元加法器 3-116
- 3-6-1 電路圖編輯四位元加法器 3-117
- 3-6-2 VerilogHDL 編輯四位元加法器 3-132
- 3-6-3 VHDL 編輯四位元加法器 3-139
- 3-6-4 四位元加法器模擬驗證 3-152
- 3-7 乘法器 3-157
- 3-7-1 電路圖編輯乘法器 3-158
- 3-7-2 VerilogHDL 編輯乘法器 3-166
- 3-7-3 VHDL 編輯乘法器 3-169
- 3-7-4 模擬驗證 3-175
- 3-8 算數邏輯運算單元 3-179
- 3-8-1 電路圖編輯算數邏輯運算單元 3-179
- 3-8-2 VerilogHDL 編輯算數邏輯運算單元 3-192
- 3-8-3 VHDL 編輯算數邏輯運算單元 3-195
- 3-8-4 算數邏輯運算單元模擬驗證 3-199
- 第 4 章 循序電路設計範例
- 4-1 四位元暫存器 4-2
- 4-1-1 電路圖編輯四位元暫存器 4-3
- 4-1-2 VerilogHDL 編輯四位元暫存器 4-7
- 4-1-3 VHDL 編輯四位元暫存器 4-12
- 4-1-4 四位元暫存器模擬驗證 4-17
- 4-2 四位元串接移位輸入並接輸出暫存器 4-20
- 4-2-1 電路圖編輯四位元串接移位輸入並接輸出暫存器 4-21
- 4-2-2 VerilogHDL 編輯四位元串接移位輸入並接輸出暫存器 4-23
- 4-2-3 VHDL 編輯四位元串接移位輸入並接輸出暫存器 4-28
- 4-2-4 四位元串接移位輸入並接輸出暫存器模擬驗證 4-36

- 4-3 並串接輸入/並串接輸出移位暫存器 4-39
 - 4-3-1 電路圖編輯並串接輸入/並串接輸出移位暫存器 4-39
 - 4-3-2 VerilogHDL 編輯並串接輸入/並串接輸出移位暫存器 4-44
 - 4-3-3 VHDL 編輯並串接輸入/並串接輸出移位暫存器 4-48
 - 4-3-4 並串接輸入/並串接輸出移位暫存器模擬驗證 4-53
- 4-4 非同步清除 2 位元同步上數計數器 4-57
 - 4-4-1 電路圖編輯非同步清除 2 位元同步上數計數器 4-58
 - 4-4-2 VerilogHDL 編輯非同步清除 2 位元同步上數計數器 4-62
 - 4-4-3 VHDL 非同步清除 2 位元同步上數計數器 4-66
 - 4-4-4 非同步清除 2 位元同步上數計數器模擬驗證 4-69
- 4-5 可預設的同步 10 模計數器 4-72
 - 4-5-1 電路圖編輯可預設的同步 10 模計數器 4-73
 - 4-5-2 VerilogHDL 編輯可預設的同步 10 模計數器 4-76
 - 4-5-3 VHDL 編輯可預設的同步 10 模計數器 4-80
 - 4-5-4 可預設的同步 10 模計數器模擬驗證 4-83
- 4-6 具載入功能之百模計數器 4-87
 - 4-6-1 電路圖編輯具載入功能之百模計數器 4-88
 - 4-6-2 VerilogHDL 編輯具載入功能之百模計數器 4-96
 - 4-6-3 VHDL 編輯具載入功能之百模計數器 4-99
 - 4-6-4 具載入功能之百模計數器模擬驗證 4-103
- 4-7 60 模計數器 4-107
 - 4-7-1 電路圖編輯 60 模計數器 4-108
 - 4-7-2 VerilogHDL 編輯 60 模計數器 4-118
 - 4-7-3 VHDL 編輯 60 模計數器 4-124
 - 4-7-4 60 模計數器模擬驗證 4-131
- 4-8 除頻器 4-135
 - 4-8-1 電路圖編輯除頻器 4-136
 - 4-8-2 VerilogHDL 編輯除頻器 4-140
 - 4-8-3 VHDL 編輯除頻器 4-144
 - 4-8-4 除頻器模擬驗證 4-149
- 4-9 鎖相迴路(PLL)Megafuction 4-151
 - 4-9-1 電路圖編輯鎖相迴路 4-152
 - 4-9-2 VerilogHDL 編輯鎖相迴路 4-166
 - 4-9-3 VHDL 編輯鎖相迴路 4-169
 - 4-9-4 鎖相迴路模擬驗證 4-174
- 4-10 唯讀記憶體 4-179
 - 4-10-1 電路圖編輯唯讀記憶體 4-180
 - 4-10-2 VerilogHDL 編輯唯讀記憶體 4-189

4-10-3 VHDL 編輯唯讀記憶體 4-193

4-10-4 唯讀記憶體模擬驗證 4-196

第 5 章 綜合應用

5-1 鮑德率產生器 5-3

5-1-1 電路圖編輯鮑德率產生器 5-4

5-1-2 VerilogHDL 編輯唯讀記憶體 5-8

5-1-3 VHDL 編輯唯讀記憶體 5-14

5-1-4 唯讀記憶體模擬驗證 5-20

5-2 UART 傳送器狀態機 5-24

5-2-1 VerilogHDL 編輯 UART 傳送器狀態機 5-26

5-2-2 VHDL 編輯 UART 傳送器狀態機 5-32

5-2-3 UART 傳送器狀態機模擬驗證 5-37

5-3 UART 傳送器 5-45

5-3-1 電路圖編輯 UART 傳送器 5-48

5-3-2 VerilogHDL 編輯 UART 傳送器 5-58

5-3-3 VHDL 編輯 UART 傳送器 5-62

5-3-4 UART 傳送器模擬驗證 5-67

5-4 UART 接收器狀態機 5-71

5-4-1 VerilogHDL 編輯 UART 接收器狀態機 5-72

5-4-2 VHDL 編輯 UART 接收器狀態機 5-78

5-4-3 UART 接收器狀態機模擬驗證 5-84

5-5 UART 接收器 5-91

5-5-1 電路圖編輯 UART 接收器 5-93

5-5-2 VerilogHDL 編輯 UART 接收器 5-101

5-5-3 VHDL 編輯 UART 接收器 5-104

5-5-4 UART 接收器模擬驗證 5-110

5-6 UART 應用電路 5-113

5-6-1 UART 應用電路編輯 5-114

5-6-2 UART 應用電路模擬驗證 5-122

第 6 章 進階設定

6-1 Device 設定 6-2

6-2 腳位指定 6-3

6-3 時間設定 6-5

6-4 平面 6-12

6-4-1 上次組譯平面(LastCompilationFloorplan) 6-13

6-4-2 時序封閉平面(TimingClosureFloorplan) 6-25

第 7 章 模擬板燒錄

7-1 NiosDevelopmentBoard-CycloneEdition 實驗板 7-2

- 7-1-1 七段解碼器程式燒錄 7-6
- 7-1-2 計數器由七段顯示器顯示程式燒錄 7-17
- 7-1-3 時鐘電路接七段顯示器 7-31
- 7-2 ALTERAMAXII 實驗板 7-47
 - 7-2-1 七段顯示器控制 7-51
 - 7-2-2 計數器由七段顯示器顯示程式燒錄 7-63
 - 7-2-3 時鐘電路接掃描式七段顯示器 7-77
 - 7-2-4 RS232 控制 7-94
- 第 8 章 SOPC 發展環境
 - 8-1 簡介 8-2
 - 8-1-1 SOPCBuilder 8-2
 - 8-1-2 NiosII 微處理器 8-7
 - 8-2 系統晶片發展 8-9
 - 8-3 簡易範例練習與說明 8-48
 - 8-3-1 七段顯示器控制 8-48
 - 8-3-2 LCD 顯示器控制 8-57
 - 8-3-3 壓按開關觸發中斷控制 8-60
 - 8-3-4 LCD 顯示器計時顯示 8-65
- 第 9 章 專案設計
 - 9-1 電子音樂 9-2
 - 9-1-1 硬體編輯 9-3
 - 9-1-2 軟體設計 9-33
 - 9-2 自動販賣機系統 9-53
 - 9-2-1 自動販賣機核心電路編輯 9-53
 - 9-2-2 除彈跳電路 9-71
 - 9-2-3 SOPC Builder 編輯 9-73
 - 9-2-4 軟體設計 9-81
- 附錄 A 如何安裝 Byteblaster 與 USB Blaster
 - A-1 如何安裝 ByteblasteratWindows2000 A-2
 - A-2 如何安裝 ByteblasteratWindowsXP A-14
 - A-3 如何安裝 USBBlasterDownloadCableat Windows2000 A-26
 - A-4 如何安裝 USBBlasterDownloadCableat WindowsXP A-32
- 附錄 B VerilogHDL 常用語法
- 附錄 C VHDL 常用語法