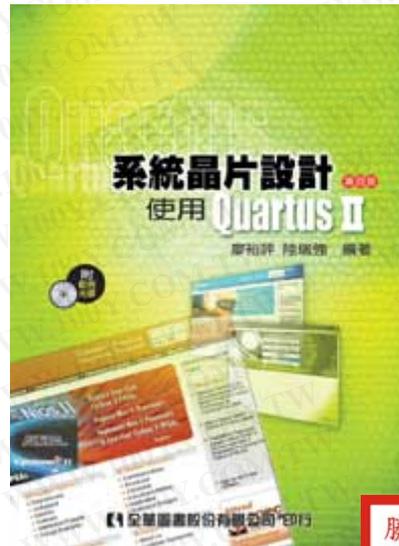


# 系統晶片設計－使用 quartus II (附系統範例光碟)(第四版)



作(譯)者：廖裕評、陸瑞強

勝特力材料 886-3-5753170  
胜特力电子(上海) 86-21-34970699  
胜特力电子(深圳) 86-755-83298787  
[Http://www.100y.com.tw](http://www.100y.com.tw)

## ■ 內容簡介

本書以區塊/繪圖法，Verilog HDL與VHDL分別設計組合邏輯與循序邏輯電路，並以軟體模擬驗證之，搭配Nios Development Board與Altera MAX II 實驗板進行程式燒錄測試。此書詳細說明Quartus II 軟體操作’方法與電路設計方式，透過範例與專案之製作，建立讀者實際電路應用之能力。本書適合大學、科大電子、資工、電機系「系統晶片設計」課程使用。

## ■ 目錄

### 第1章 軟體安裝與設定

- 1-1 軟體安裝 1-2
- 1-2 取得授權檔 1-15
- 1-3 隨書光碟內容 1-22

### 第2章 Quartus II 簡介

- 2-1 專案設計 2-4
  - 2-1-1 建立專案 2-5
  - 2-1-2 新增專案與新增設計檔 2-7
  - 2-1-3 新增專案與加入舊檔案 2-22
- 2-2 建立設計 2-29
  - 2-2-1 使用 Quartus II Block Editor 2-30
  - 2-2-2 使用 Verilog HDL、VHDL 與 AHDL 2-35
- 2-3 使用 Altera megafuction 2-61
- 2-4 使用 MegaWizard Plug-In Manager 2-64
- 2-5 指定初始設計限制 2-64
- 2-6 合成 2-66
- 2-7 模擬 2-69
- 2-8 佈線與佈局 2-80

- 2-9 編程與配置 2-83
- 2-10 SOPC 系統級設計 2-85

### 第3章 組合邏輯電路設計範例

- 3-1 邏輯運算 3-2
  - 3-1-1 以圖形編輯區塊內容 3-13
  - 3-1-2 以 Verilog HDL 編輯區塊內容 3-16
  - 3-1-3 以 VHDL 編輯區塊內容 3-20
  - 3-1-4 邏輯運算模擬驗證 3-24
- 3-2 四對一多工器 3-32
  - 3-2-1 圖形編輯四對一多工器 3-33
  - 3-2-2 Verilog HDL 編輯四對一多工器 3-39
  - 3-2-3 VHDL 編輯四對一多工器 3-44
  - 3-2-4 四對一多工器模擬驗證 3-49
- 3-3 1 對 4 解多工器設計 3-54
  - 3-3-1 電路圖編輯 1 對 4 解多工器 3-55
  - 3-3-2 Verilog HDL 編輯一對四解多工器 3-59
  - 3-3-3 VHDL 編輯一對四解多工器 3-63
  - 3-3-4 1 對 4 解多工器模擬驗證 3-68
- 3-4 2 對 4 解碼器 3-71
  - 3-4-1 電路圖編輯 2 對 4 解碼器 3-72
  - 3-4-2 Verilog HDL 編輯 2 對 4 解碼器 3-78
  - 3-4-3 VHDL 編輯 2 對 4 解碼器 3-81
  - 3-4-4 2 對 4 解碼器模擬驗證 3-84
- 3-5 全加器 3-87
  - 3-5-1 電路圖編輯全加器 3-88
  - 3-5-2 Verilog HDL 編輯全加器 3-92
  - 3-5-3 VHDL 編輯全加器 3-96
  - 3-5-4 全加器模擬驗證 3-101
- 3-6 四位元加法器 3-105
  - 3-6-1 電路圖編輯四位元加法器 3-106
  - 3-6-2 Verilog HDL 編輯四位元加法器 3-119
  - 3-6-3 VHDL 編輯四位元加法器 3-126
  - 3-6-4 四位元加法器模擬驗證 3-136
- 3-7 乘法器 3-140
  - 3-7-1 電路圖編輯乘法器 3-141
  - 3-7-2 Verilog HDL 編輯乘法器 3-147
  - 3-7-3 VHDL 編輯乘法器 3-151
  - 3-7-4 模擬驗證 3-155
- 3-8 算數邏輯運算單元 3-158
  - 3-8-1 電路圖編輯算數邏輯運算單元 3-159
  - 3-8-2 Verilog HDL 編輯算數邏輯運算單元 3-171
  - 3-8-3 VHDL 編輯算數邏輯運算單元 3-174
  - 3-8-4 算數邏輯運算單元模擬驗證 3-177

### 第4章 循序電路設計範例

- 4-1 四位元暫存器 4-2
  - 4-1-1 電路圖編輯四位元暫存器 4-3

4-1-2	Verilog HDL 編輯四位元暫存器	4-7
4-1-3	VHDL 編輯四位元暫存器	4-12
4-1-4	四位元暫存器模擬驗證	4-17
4-2	四位元串接移位輸入並接輸出暫存器	4-20
4-2-1	電路圖編輯四位元串接移位輸入並接輸出暫存器	4-21
4-2-2	Verilog HDL 編輯四位元串接移位輸入並接輸出暫存器	4-23
4-2-3	VHDL 編輯四位元串接移位輸入並接輸出暫存器	4-28
4-2-4	四位元串接移位輸入並接輸出暫存器模擬驗證	4-35
4-3	並串接輸入/並串接輸出移位暫存器	4-38
4-3-1	電路圖編輯並串接輸入/並串接輸出移位暫存器	4-38
4-3-2	Verilog HDL 編輯並串接輸入/並串接輸出移位暫存器	4-43
4-3-3	VHDL 編輯並串接輸入/並串接輸出移位暫存器	4-47
4-3-4	並串接輸入/並串接輸出移位暫存器模擬驗證	4-51
4-4	非同步清除 2 位元同步上數計數器	4-55
4-4-1	電路圖編輯非同步清除 2 位元同步上數計數器	4-55
4-4-2	Verilog HDL 編輯非同步清除 2 位元同步上數計數器	4-59
4-4-3	VHDL 非同步清除 2 位元同步上數計數器	4-63
4-4-4	非同步清除 2 位元同步上數計數器模擬驗證	4-66
4-5	可預設的同步 10 模計數器	4-69
4-5-1	電路圖編輯可預設的同步 10 模計數器	4-70
4-5-2	Verilog HDL 編輯可預設的同步 10 模計數器	4-73
4-5-3	VHDL 編輯可預設的同步 10 模計數器	4-77
4-5-4	可預設的同步 10 模計數器模擬驗證	4-80
4-6	具載入功能之百模計數器	4-84
4-6-1	電路圖編輯具載入功能之百模計數器	4-85
4-6-2	Verilog HDL 編輯具載入功能之百模計數器	4-92
4-6-3	VHDL 編輯具載入功能之百模計數器	4-96
4-6-4	具載入功能之百模計數器模擬驗證	4-100
4-7	60 模計數器	4-104
4-7-1	電路圖編輯 60 模計數器	4-105
4-7-2	Verilog HDL 編輯 60 模計數器	4-115
4-7-3	VHDL 編輯 60 模計數器	4-120
4-7-4	60 模計數器模擬驗證	4-127
4-8	除頻器	4-131
4-8-1	電路圖編輯除頻器	4-132
4-8-2	Verilog HDL 編輯除頻器	4-136
4-8-3	VHDL 編輯除頻器	4-140
4-8-4	除頻器模擬驗證	4-144
4-9	鎖相迴路(PLL)Megafuction	4-146
4-9-1	電路圖編輯鎖相迴路	4-147
4-9-2	Verilog HDL 編輯鎖相迴路	4-159
4-9-3	VHDL 編輯鎖相迴路	4-162
4-9-4	鎖相迴路模擬驗證	4-167
4-10	唯讀記憶體	4-171
4-10-1	電路圖編輯唯讀記憶體	4-173
4-10-2	Verilog HDL 編輯唯讀記憶體	4-180
4-10-3	VHDL 編輯唯讀記憶體	4-185
4-10-4	唯讀記憶體模擬驗證	4-188

## 第 5 章 綜合應用

- 5-1 鮑德率產生器 5-3
  - 5-1-1 電路圖編輯鮑德率產生器 5-4
  - 5-1-2 Verilog HDL 編輯唯讀記憶體 5-8
  - 5-1-3 VHDL 編輯唯讀記憶體 5-14
  - 5-1-4 唯讀記憶體模擬驗證 5-19
- 5-2 UART 傳送器狀態機 5-23
  - 5-2-1 Verilog HDL 編輯 UART 傳送器狀態機 5-25
  - 5-2-2 VHDL 編輯 UART 傳送器狀態機 5-31
  - 5-2-3 UART 傳送器狀態機模擬驗證 5-36
- 5-3 UART 傳送器 5-43
  - 5-3-1 電路圖編輯 UART 傳送器 5-45
  - 5-3-2 Verilog HDL 編輯 UART 傳送器 5-55
  - 5-3-3 VHDL 編輯 UART 傳送器 5-58
  - 5-3-4 UART 傳送器模擬驗證 5-63
- 5-4 UART 接收器狀態機 5-67
  - 5-4-1 Verilog HDL 編輯 UART 接收器狀態機 5-68
  - 5-4-2 VHDL 編輯 UART 接收器狀態機 5-74
  - 5-4-3 UART 接收器狀態機模擬驗證 5-78
- 5-5 UART 接收器 5-85
  - 5-5-1 電路圖編輯 UART 接收器 5-87
  - 5-5-2 Verilog HDL 編輯 UART 接收器 5-96
  - 5-5-3 VHDL 編輯 UART 接收器 5-99
  - 5-5-4 UART 接收器模擬驗證 5-104
- 5-6 UART 應用電路 5-107
  - 5-6-1 UART 應用電路編輯 5-108
  - 5-6-2 UART 應用電路模擬驗證 5-115

## 第 6 章 進階設定

- 6-1 Device 設定 6-2
- 6-2 腳位指定 6-3
- 6-3 時間設定 6-5
- 6-4 平面 6-12
  - 6-4-1 上次組譯平面(Last Compilation Floorplan) 6-13
  - 6-4-2 時序封閉平面(Timing Closure Floorplan) 6-23

## 第 7 章 模擬板燒錄

- 7-1 Nios Development Board - Cyclone Edition 實驗板 7-2
  - 7-1-1 七段解碼器程式燒錄 7-5
  - 7-1-2 計數器由七段顯示器顯示程式燒錄 7-16
  - 7-1-3 時鐘電路接七段顯示器 7-29
- 7-2 ALTERA MAX II 實驗板 7-44
  - 7-2-1 七段顯示器控制 7-47
  - 7-2-2 計數器由七段顯示器顯示程式燒錄 7-59
  - 7-2-3 時鐘電路接掃描式七段顯示器 7-71
  - 7-2-4 RS232 控制 7-87

## 第 8 章 SOPC 發展環境

8-1	簡介	8-2
8-1-1	SOPC Builder	8-2
8-1-2	Nios II 微處理器	8-6
8-2	系統晶片發展	8-8
8-3	簡易範例練習與說明	8-38
8-3-1	七段顯示器控制	8-38
8-3-2	LCD 顯示器控制	8-45
8-3-3	壓按開關觸發中斷控制	8-48
8-3-4	LCD 顯示器計時顯示	8-52

## 第9章 專案設計

9-1	電子音樂	9-2
9-1-1	硬體編輯	9-3
9-1-2	軟體設計	9-31
9-2	自動販賣機系統	9-49
9-2-1	自動販賣機核心電路編輯	9-49
9-2-2	除彈跳電路	9-65
9-2-3	SOPC Builder 編輯	9-67
9-2-4	軟體設計	9-75

## 附錄 A 如何安裝 Byteblaster 與 USB Blaster

A-1	如何安裝 Byteblaster at Windows 2000	A-2
A-2	如何安裝 Byteblaster at Windows XP	A-9
A-3	如何安裝 USB Blaster Download Cable at Windows 2000	A-17
A-4	如何安裝 USB Blaster Download Cable at Windows XP	A-21